

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000043978 A
(43)Date of publication of application: 15.07.2000

(21)Application number: 1019980060417
(22)Date of filing: 29.12.1998

(71)Applicant: HYUNDAI ELECTRONICS
IND. CO., LTD.
(72)Inventor: PARK, BU YONG

(51)Int. Cl. G11C 11/40

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PURPOSE: A semiconductor memory is provided to apply to a data rate memory by supporting a latency mode of DDR SDRAM(double data rate synchronous dynamic random access memory) with containing a latency pipeline control unit to be able to operate latency modes different from each other.

CONSTITUTION: A semiconductor memory contains devices as follows. A memory cell array(31) has plural memory cell areas, stores outer input data and output the stored data to two lines by a decoded column address. A data path unit(23) transmits to an outside through one line by synchronizing the data in an edge of inner clock. A control unit(34) controls the entire data path unit. A FIFO(first-in first-out) unit (35) controls an output order of two data as an input of data path unit. A latency pipeline control unit(36) outputs an SDO(serial data out) enable signal to decide an enable section of data output in the control unit and the data path unit. A clock generating unit(33) outputs the inner clock to obtain a needed data bandwidth in the FIFO unit, the data path unit and the latency pipeline control unit. A burst counter(37) outputs a read signal having information about a burst length in the FIFO unit and the latency pipeline control unit.

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20010523)

Patent registration number (1003049630000)

Date of registration (20010725)

BEST AVAILABLE COPY

【한국공개특허 제2000-43978호(2000.07.15) 1부.】

특 2000-0043978

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶

G11C 11/40

(11) 공개번호 특2000-0043978

(43) 공개일자 2000년07월15일

(21) 출원번호 10-1998-0060417

(22) 출원일자 1998년12월29일

(71) 출원인 현대반도체 주식회사 김영관

(72) 발명자 홍정복도 천주시 흥덕구 함정동 1번지

(72) 발명자 박부용

(74) 대리인 서울특별시 서초구 양재동 204-16 준영빌라 나-401

(74) 대리인 김용민, 김응복

실용특허 : 없음

(54) 반도체 메모리

요약

본 발명은 서로 다른 레이턴시 모드(Latency Mode)의 동작이 가능하게 하는 레이턴시 파이프라인(Pipeline) 제어부를 포함하여 구성하므로 2.5들과 같은 DDR SDRAM(Double Data Rate Synchronous DRAM)의 레이턴시 모드를 지원하여 하이 데이터 레이트 메모리(High Data Rate Memory)에도 쉽게 적용하는 반도체 메모리에 관한 것이다.

본 발명의 반도체 메모리는 복수개의 메모리 셀 영역을 갖고 외부 입력 데이터를 저장하고 그 저장된 데이터를 디코딩된 할당 주소에 의해 두 개의 라인으로 출력하는 메모리 셀 어레이, 상기 두 개의 라인을 통하여 입력받은 메모리 셀 어레이의 데이터를 내부 클럭의 에지에 동기시켜 하나의 라인을 통해 외부로 전송하는 데이터 경로부, 상기 데이터 경로부 전체를 제어하는 제어부, 상기 데이터 경로부의 입력인 두 개의 데이터의 출력순서를 제어하는 FIFO부, 상기 제어부와 데이터 경로부에 데이터 출력 인에이블 구간을 정하기 위한 SDO 인에이블 신호를 출력하는 레이턴시 파이프라인 제어부, 상기 FIFO부, 데이터 경로부와, 레이턴시 파이프라인 제어부에 원하는 데이터 번드폭을 읽기 위한 상기 내부 클럭을 출력하는 클럭 발생부와, 상기 FIFO부와 레이턴시 파이프라인 제어부에 버스트 길이에 대한 정보를 갖는 읽기 신호를 출력하는 버스트 카운터를 포함하여 구성됨을 특징으로 한다.

도면

도 2

도면

도면의 간단한 설명

도 1은 종래 기술에 따른 DDR SDRAM을 나타낸 블록도

도 2는 본 발명의 실시 예에 따른 DDR SDRAM을 나타낸 블록도

도 3은 본 발명의 실시 예에 따른 DDR SDRAM의 SDO 레치와 출력 구동기/출력 버퍼를 나타낸 회로도

도 4는 본 발명의 실시 예에 따른 DDR SDRAM의 레이턴시 파이프라인 제어 부를 나타낸 회로도

도 5는 본 발명의 실시 예에 따른 DDR SDRAM에서 버스트 길이가 2일때의 CL2, CL2.5, CL3 각각의 읽기 동작을 나타낸 웨이브폼

도 6은 본 발명의 실시 예에 따른 DDR SDRAM에서 버스트 길이가 4일때의 CL2, CL2.5, CL3 각각의 읽기 동작을 나타낸 웨이브폼

도 7은 본 발명의 실시 예에 따른 DDR SDRAM에서 버스트 길이가 6일때의 CL2, CL2.5, CL3 각각의 읽기 동작을 나타낸 웨이브폼

도 8은 본 발명의 실시 예에 따른 DDR SDRAM에서 CL2, CL2.5, CL3 각각의 읽기 동작이 쓰기 명령으로 중단 될 때를 나타낸 웨이브폼

도 9는 본 발명의 실시 예에 따른 DDR SDRAM에서 CL2, CL2.5, CL3 각각의 읽기 동작이 프리차지 명령으로 중단 될 때를 나타낸 웨이브폼

도면의 주요부분에 대한 부호의 설명

31: 메모리 셀 어레이 부

32: 데이터 경로 부

33: 클럭 발생 부

34: DB 제어 부

특 2000-0049978

- | | |
|-----------------|---------------------|
| 35: FIFO부 | 36: 레이턴시 파이프라인 제어 부 |
| 37: 버스트 카운터 부 | 38: 작수/출수 메모리 선택 영역 |
| 39: 비트 라인 센스 앰프 | 40: 메인 센스 앰프 |
| 41: FRDB 래치 | 42: SROB 래치/역스 |
| 43: SDO 래치 | 44: 출력 구동기/출력 버퍼 |

회로의 구성과 동작

회로의 구성

회로의 구성은 다음 그림과 같이 구성된다.

본 발명은 반도체 메모리(Memory)에 관한 것으로, 특히 하이 데이터 레이트(High Data Rate) 메모리에 쉽게 적용하는 반도체 메모리에 관한 것이다.

반도체 메모리 시스템(System)의 동작 주파수가 점차 고속화됨에 따라, 반도체 메모리의 성능도 고속화되어가고 있다.

그러나, 주 메모리의 대부분을 차지하는 DRAM(Dynamic Random Access Memory)은 아직도 CPU(Central Processing Unit)와 성능 차이가 있다. 이를 극복하기 위한 방법으로 동일한 동작 주파수 조건에서 데이터 밴드(Data Band)폭을 향상시킬 수 있는 DRAM이 개발되고 있다.

일반적으로 데이터 밴드폭은 메모리의 성능을 판단하는 기준으로 메모리가 1초동안에 액세스(Access)할 수 있는 데이터 양을 나타낸다.

예를 들면 시스템 동작 주파수에 동기되어 동작하는 메모리에 있어서 동작 주파수가 100MHz일 때 메모리의 핀(Pin)당 데이터 밴드폭은 100Mbps(Mbit/sec)가 된다.

상기 데이터 밴드폭을 향상시키는 방법으로는 간단히 시스템 동작 주파수를 증가시키는 방법과 같은 동작 주파수 조건에서 메모리 내부 동작 주파수를 시스템 동작 주파수의 2배 혹은 4배로 하여 그 상승 에지(Edge)에서 데이터의 읽기, 쓰기 동작을 하거나 혹은 시스템 클럭(Clock)의 상승, 하강 두 에지에 데이터를 동기 시켜서 메모리의 성능을 향상시키는 방법이 있다.

후자의 방식을 이용하였을 때 메모리의 핀당 밴드폭은 200Mbps나 400Mbps가 될 수 있다.

2배의 데이터 밴드폭을 만들 수 있는 DDR SDRAM(Double Data Rate Synchronous DRAM)은 일반적인 SDRAM과 마찬가지로 몇가지 CAS 레이턴시 모드(CL)(Column Address Select Signal Latency Mode) 동작을 가진다.

예를 들면 CL2는 읽기 명령에서부터 시스템 클럭 2사이클 후에 데이터가 출력되고, CL2.5는 2.5사이클 후에, CL3은 3사이클 후에 데이터가 각각 출력된다.

상기와 같이 다른 CL 모드가 있는 이유는 SDRAM에서는 읽기 명령 즉 할당 어드레스 래치(Latch)에서부터 첫 데이터 출력까지의 시간(tAA)이 주파수와는 무관하게 정해지므로 시스템 동작 주파수에 관계없이 tAA를 허용할 수 있도록 사용자가 CL 모드를 정하게 하여, 다른 주파수에서 사용이 가능하도록 함이다.

따라서 사용동작 주파수에 따라 정해진 CL로 동작하게 하려면 레이턴시 조절 회로가 필요하다.

종래 기술에 따른 SDR(Single Data Rate) SDRAM은 USP NO. 5,655,109에서 상세하게 설명되어 있으나 간단히 설명하면 도 1에서와 같이, 메모리 어레이(Array)(101), 제어 부(102), 데이터 버스(Data Bus)(105), 어드레스 버스(Address Bus)(106), IO 인터페이스(Input Output Interface)(110), 상기 어드레스 버스(106)를 통하여 로우(Row) 또는 칼럼(Column) 어드레스를 입력받아 그 입력을 출력시키는 어드레스 레지스터(Register)(112), 상기 메모리 어레이(101)에 상기 로우(Row) 어드레스를 전송하는 로우(Row) 어드레스 경로(114), 상기 메모리 어레이(101)에 상기 칼럼 어드레스를 전송하는 칼럼 어드레스 경로(116)와, 상기 데이터 버스(105)의 데이터를 상기 IO 인터페이스(110)에 전달시키는 입력 데이터 경로(240)와, 상기 IO 인터페이스(110)의 데이터를 상기 데이터 버스(105)에 전달시키는 출력 데이터 경로(242) 그리고 마스크(Mask) 레지스터로 구성된다.

여기서, 상기 제어 부(102)는 시스템 클럭 신호인 CLK, 클럭 인에이블(Enable) 신호인 CKE와, 레이턴시 모드를 발생하는 모드 레지스터(150), 명령 디코더(Decoder)와, 레이턴시 제어기(136)로 구성된다.

상기 명령 디코더의 입력인 다수개의 명령 신호에는 SDRAM의 읽기/쓰기 동작을 제어하는 칩(Chip) 선택 신호인 CSB, 쓰기 인에이블 신호인 WEB, 칼럼 어드레스 선택 신호인 CASB, 로우(row) 어드레스 선택 신호인 RASB와, 블록(Block) 쓰기 선택 신호인 OSF가 있다.

이때, 상기 로우(row) 어드레스 패스(114)는 상기 어드레스 레지스터(112)로부터 로우(row) 어드레스를 입력받는 로우(row) 어드레스 믹스(MUX:Multiplexer)(118), 상기 로우(row) 어드레스 믹스(118)에 로우(row)의 활성화 유지를 돕는 리프레쉬(Refresh) 신호를 출력하는 리프레쉬 부(120), 상기 로우(row) 어드레스 믹스(118)의 출력을 입력받는 로우(row) 래치(122)와, 상기 로우(row) 래치(122)의 출력을 입력받아 상기 메모리 어레이(101)와 연결되어 하나의 비트(Bit) 어드레스를 갖는 로우(row) 디코더(124)로 구성된다.

그리고, 상기 칼럼 어드레스 패스(116)는 상기 어드레스 레지스터(112)로부터 입력받는 칼럼 어드레스를 입력/출력(Hold)하는 칼럼 어드레스 래치(126), 상기 칼럼 어드레스 래치(126)의 출력을 입력받는 버스트 카운터(Burst Counter)(130), 상기 버스트 카운터(130)에 의해 구동되는 칼럼 어드레스 버퍼(Buffer)(132)와, 상기 칼럼 어드레스 버퍼(132)와 활성화된 메모리 어레이(101)의 8비트 칼럼 어드레스를 연결하는 버퍼(134)로 구성된다.

록 2000-0043978

레스를 저장하는 칼럼 디코더(134)로 구성된다.

그리고, 상기 10 인터페이스(140)는 상기 칼럼 디코더(134)의 칼럼 어드레스에 의해 동시에 활성화되며, 상기 비스트 카운터(130)는 다중 레이턴시 SDRAM 블록 쓰기 모드가 아닐 때에는 상기 칼럼 어드레스를 변화시키지 않고 통과시키고, 레이턴시2의 동작에는 즉시 어드레스를 통과시키며, 레이턴시3의 동작에는 지연된 어드레스를 통과시킨다.

이며, 상기 입력 데이터 경로(240)는 상기 데이터 버스(105)의 데이터를 입력받음과 동시에 그 입력을 데이터-인(Data-In)레지터 및/또는 DNL에 의해 클럭시키는 마스터(Master) 데이터 입력 레지스터(246), 상기 마스터 데이터 입력 레지스터(246)의 출력을 입력받아 상기 레이턴시 제어 부(136)로부터의 마스터-슬레이브(Slave) 쓰기 패스 신호의 N-3 WRITEPASS에 의해 그 입력을 클럭시키는 제 1, 제 2 슬레이브(250, 252)와, 상기 마스터 데이터 입력 레지스터(246)의 출력을 입력받는 컬러(Color)(254) 그리고 상기 제 1, 제 2 슬레이브(250, 252)와 컬러(254)의 출력을 입력받는 맥스(Max)(256)로 구성된다.

그리고, 상기 출력 데이터 경로(242)는 마스터 입력 레지스터, 바이패스(Bypass)와, 데이터 출력 레지스터로 구성된다.

본 발명이 해결하고자 하는 과제를 설명

그러나 종래의 반도체 메모라인 SDR SDRAM은 다음과 같은 문제점이 있었다.

첫째, 레이턴시 모드가 2 또는 3이므로 시스템 출력의 양쪽 에지에서 읽기/쓰기를 동기시키는 즉 시스템 클럭-덕의 반 사이클 주기에 의해 데이터 읽기할 때와 같은 레이턴시 2.5클과 같은 DDR SDRAM의 레이턴시 모드를 지원하지 못한다.

둘째, 최적화된 특정 주파수에서만 사용하기 때문에 주파수의 변화 시 원하는 레이턴시 모드로 동작하기 위해 추가 조절 신호가 필요하므로 사용 주파수가 변화할 때마다 회로를 재구성해야 한다.

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 서로 다른 레이턴시 모드의 동작이 가능하게 하는 레이턴시 파이프라인 제어 부를 포함하여 구성하므로 2.5클과 같은 DDR SDRAM의 레이턴시 모드를 지원하며 하이 데이터 레이트 메모리에도 쉽게 적용하는 반도체 메모리를 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

본 발명의 반도체 메모리는 복수개의 메모리 셀 영역을 갖고 외부 입력 데이터를 저장하고 그 저장된 데이터를 디코딩된 칼럼 어드레스에 의해 두 개의 라인으로 출력하는 메모리 셀 어레이, 상기 두 개의 라인을 통해 입력받은 메모리 셀 어레이의 데이터를 내부 출력의 에지에 동기시켜 하나의 라인을 통해 외부로 전송하는 데이터 경로 부, 상기 데이터 경로 부 전체를 제어하는 제어 부, 상기 데이터 경로 부의 입력의 두 개의 데이터의 출력순서를 제어하는 FIFO부, 상기 제어 부와 데이터 경로 부에 데이터 출력을 인에이블 구간을 정하기 위한 SDO 인에이블 신호를 출력하는 레이턴시 파이프라인 제어 부, 상기 FIFO부, 데이터 경로 부와, 레이턴시 파이프라인 제어 부에 원하는 데이터 밴드폭을 얻기 위한 상기 내부 출력을 출력하는 출력 발생 부와, 상기 FIFO부와 레이턴시 파이프라인 제어 부에 비스트 길이에 대한 정보를 갖는 읽기 신호를 출력하는 비스트 카운터를 포함하여 구성됨을 특징으로 한다.

상기와 같은 본 발명에 따른 반도체 메모리의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 2는 본 발명의 실시 예에 따른 DDR SDRAM을 나타낸 블록도이고, 도 3은 본 발명의 실시 예에 따른 DDR SDRAM의 SDO 레지터와 출력 구동기/출력 버퍼를 나타낸 회로도이며, 도 4는 본 발명의 실시 예에 따른 DDR SDRAM의 레이턴시 파이프라인 제어 부를 나타낸 회로도이다.

그리고, 도 5는 본 발명의 실시 예에 따른 DDR SDRAM에서 비스트 길이가 2일때의 CL2, CL2.5, CL3 각각의 읽기 동작을 나타낸 펄스도이고, 도 6은 본 발명의 실시 예에 따른 DDR SDRAM에서 비스트 길이가 4일때의 CL2, CL2.5, CL3 각각의 읽기 동작을 나타낸 펄스도이며, 도 7은 본 발명의 실시 예에 따른 DDR SDRAM에서 비스트 길이가 6일때의 CL2, CL2.5, CL3 각각의 읽기 동작을 나타낸 펄스도이다.

이며, 도 8은 본 발명의 실시 예에 따른 DDR SDRAM에서 CL2, CL2.5, CL3 각각의 읽기 동작이 쓰기 명령으로 중단 될 때를 나타낸 펄스도이고, 도 9는 본 발명의 실시 예에 따른 DDR SDRAM에서 CL2, CL2.5, CL3 각각의 읽기 동작이 프리차이지 명령으로 중단 될 때를 나타낸 펄스도이다.

본 발명의 실시 예에 따른 DDR SDRAM은 도 2에서와 같이, 칼럼 디코더(Decoded) 어드레스, 메모리 셀 어레이(Memory Cell Array)부(31), 데이터 경로 부(32), 출력 발생 부(33), DB(Database) 제어 부(34), FIFO(First-In first-out)부(35), 레이턴시 파이프라인(Pipeline) 제어 부(36)와, 비스트 카운터 부(37)로 구성된다.

여기서, 상기 메모리 셀 어레이부(31)는 짝수/홀수 메모리 셀 영역(38)과 상기 칼럼 디코더 어드레스를 입력받는 비스트 라인 센스 앰프(39)로 구성된다.

상기 데이터 경로 부(32)는 상기 비트 라인 센스 앰프(39)의 출력 데이터와 상기 DB 제어 부(34)의 메인 앰프 인에이블(Main Amp. Enable) 신호를 입력받아 상기 비트 라인 센스 앰프(39)의 출력 데이터를 출력시키는 메인 센스 앰프(Main Sense Amp.)(40), 상기 메인 센스 앰프(40)의 출력 데이터와 상기 DB 제어 부(34)의 FRDB(First Read Data Bus) 스트로브(Strobe) 신호를 입력받아 상기 메인 센스 앰프(40)의 출력 데이터를 저장하는 FRDB 레지터(41), 상기 FRDB 레지터(41)의 출력 데이터와 상기 DB 제어 부(34)의 SRDB(Second Read Data Bus) 스트로브 신호 그리고 상기 FIFO부(35)의 짝수/홀수 신호를 입력받는 SRDB 레지터/맥스(42), 상기 SRDB 레지터/맥스(42)의 출력 데이터와 상기 DB 제어 부(34)의 SDO(Serial Data Out) 발리드(Valid) 신호 및 상기 레이턴시 파이프라인 제어 부(36)의 제 1 SDO 인에이블 신호와 상기 출력 발생 부(33)로부터 출력 동기 클럭인 CLK를 입력받아 데이터 패드측에 위치한 SDO 레지터(43)와, 상기 SDO

록 2000-0043978

래치(43)의 출력인 UP, DNb(Down bar)와 상기 출력 발생 부(33)의 QCLK을 입력받아 UP, DNb를 QCLK의 에지에 동기시킨 출력 데이터(DQ)를 하나의 라인으로 출력하는 출력 구동기/출력 버퍼(44)로 구성된다.

여기서, 상기 FRDB 래치(41), SRDB 래치/역스(42), SDO 래치(43)와, 출력 구동기/출력 버퍼(44)는 각각 데이터 패드(Pad)와 동일한 개수로 형성된다.

상기 FIFO부(35)는 어드레스0번(Add<0>)에 의해 제어되고, 상기 버스트 카운터 부(37)는 상기 FIFO부(35)와 레이턴시 타이프라인 제어 부(36)에 버스트 길이에 관한 정보를 갖는 읽기 신호를 출력한다.

이어, 상기 출력 발생 부(33)는 2배의 데이터 밴드폭을 얻기 위해서 데이터 경로에서 시스템 클럭의 주파수의 2배인 QCLK을 발생시킨다.

그리고, 상기 SDO 래치(43)와 출력 구동기/출력 버퍼(44)는 도 3에서와 같이 구성된다.

즉, 상기 SDO 래치(43)는 각각 반전된 제 1 SDO 인에이블 신호와 SDO 밸리드 신호를 입력받는 제 1 NOR 게이트(45), 상기 제 1 SDO 인에이블 신호와 반전된 SDO 밸리드 신호를 입력받는 제 1 NAND 게이트(46), 상기 제 1 NOR 게이트(45)의 출력과 QCLK을 입력받는 제 1 플립플롭(Flop-flop)(47)과, 상기 제 1 NAND 게이트(46)의 출력과 QCLK을 입력받는 제 2 플립플롭(48)으로 구성된다.

그리고, 상기 출력 구동기/출력 버퍼(44)에 있어서 먼저, 출력 구동기는 상기 제 1 플립플롭(47)의 출력인 UP를 반전시키는 제 1 인버터(49)와 상기 제 2 플립플롭(48)의 출력인 DNb를 반전시키는 제 2 인버터(50)로 구성되고, 이어 출력 버퍼는 상기 제 1 인버터(49)의 출력인 UP에 게이트가 연결되며 소오스는 전원전압(VCC)에 연결된 제 1 PMOS(51)와 상기 제 2 인버터(50)의 출력인 DNb에 게이트가 연결되고 소오스는 접지전압(VSS)에 연결되며 상기 제 1 PMOS(51)의 드레인과 드레인이 공통으로 연결된 제 1 NMOS(52)로 구성되며 상기 제 1 PMOS(51)와 제 1 NMOS(52)의 공통 드레인을 통하여 그 출력을 외부에 출력한다.

그리고, 상기 레이턴시 타이프라인 제어 부(36)는 도 4에서와 같이, 버스트 동작을 따르기 위해 상기 버스트 카운터 부(37)로부터 버스트 길이에 관한 정보를 갖는 읽기 신호를 입력받아 상기 QCLK에 동기시키는 QCLK등기 부(53), 상기 제 1, 제 2 SDO 인에이블 신호 구간폭을 정하는 카운터 부(54), 상기 제 1, 제 2 SDO 인에이블 신호를 읽기 명령 수행중에 쓰기 명령이나 프리차arge(Precharge) 명령으로 읽기 동작이 중단될 때 디스에이블(Disable)하기 위한 리셋(Reset) 부(55)와, 레이턴시 모드 신호를 받아 정해진 모드에 따라 상기 제 1, 제 2 SDO 인에이블 신호의 시작을 결정하는 파이프 부(56)로 구성된다.

상기 QCLK등기 부(53)는 읽기 신호, 내부전원 정상신호인 PWROK와, QCLK을 입력받는 제 3 플립플롭(57)과 상기 읽기 신호와 제 3 플립플롭(57)의 출력을 입력받는 제 2 NOR 게이트(58)로 구성된다.

이어, 상기 카운터 부(54)는 제 3 인버터(59)에 의해 반전된 상기 제 2 NOR 게이트(58)의 출력과 QCLK을 입력받는 제 4 플립플롭(60), 상기 제 3 인버터(59)에 의해 반전된 상기 제 2 NOR 게이트(58)의 출력과 상기 제 4 플립플롭(60)의 출력을 입력받는 제 3 NOR 게이트(61), 상기 QCLK을 입력받는 제 5 플립플롭(62), 상기 제 3 NOR 게이트(61)의 출력과 제 4 인버터(63)에 의해 반전된 상기 제 5 플립플롭(62)의 출력을 입력받는 제 2 NAND 게이트(64)와, 상기 제 2 NAND 게이트(64)의 출력과 상기 PWROK를 입력받는 제 3 NAND 게이트(65)로 구성된다.

아래, 상기 제 4 플립플롭(60)은 제 5 인버터(66)에 의해 반전된 상기 제 3 NAND 게이트(65)의 출력도 입력받으며, 제 5 플립플롭(62)은 상기 제 5 인버터(66)에 의해 반전된 제 3 NAND 게이트(65)의 출력과 제 6 인버터(67)에 의해 반전된 상기 제 2 NAND 게이트(64)의 출력도 입력받는다.

그리고, 상기 리셋 부(55)는 프리차arge(Precharge) 신호인 PREBSCl과 쓰기 신호인 WRITEL을 입력받는 제 4 NOR 게이트(68), 상기 제 4 NOR 게이트(68)의 출력과 QCLK을 입력받는 제 6 플립플롭(69)과, 상기 PWROK와 제 7 인버터(70)에 의해 반전된 상기 WRITEL을 입력받는 제 4 NAND 게이트(71)로 구성된다.

또한, 상기 파이프 부(56)는 상기 QCLK과 제 2 NAND 게이트(64)의 출력 그리고 제 8 인버터(72)에 의해 반전된 상기 제 4 NAND 게이트(71)의 출력을 입력받는 제 7 플립플롭(73), 상기 제 7 플립플롭(73)의 출력과 CL3을 입력받는 제 5 NAND 게이트(74), 상기 QCLK과 PWROK 및 제 9 인버터(75)에 의해 반전된 상기 제 5 NAND 게이트(74)의 출력을 입력받는 제 8 플립플롭(76), 상기 제 7 플립플롭(73)의 출력과 CL2.6을 입력받는 제 1 AND 게이트(77), 상기 제 1 AND 게이트(77)의 출력과 상기 제 8 플립플롭(76)의 출력을 입력받는 제 5 NOR 게이트(78), 상기 QCLK과 WRITEINTb 그리고 제 10 인버터(79)에 의해 반전된 상기 제 5 NOR 게이트(78)의 출력을 입력받는 제 9 플립플롭(80), 상기 제 7 플립플롭(73)의 출력과 CL2를 입력받는 제 2 AND 게이트(81), 상기 제 2 AND 게이트(81)의 출력과 상기 제 9 플립플롭(80)의 출력을 입력받는 제 6 NOR 게이트(82), 상기 QCLK과 WRITEL 및 제 11 인버터(83)에 의해 반전된 상기 제 6 NOR 게이트(82)의 출력을 입력받는 제 10 플립플롭(84), 상기 제 10 플립플롭(84)의 출력과 제 12 인버터(85)에 의해 반전된 읽기 신호를 입력받아 제 13, 제 14 인버터(86,87)를 거쳐 외부에 그 출력 값인 제 2 SDO 인에이블 신호를 출력하는 제 6 NAND 게이트(88), 상기 제 10 플립플롭(84)의 출력과 제 12 인버터(85)에 의해 반전된 읽기 신호를 입력받는 제 3 AND 게이트(89)와, 상기 제 3 AND 게이트(89)의 출력과 사용자가 원하는 데이터를 선택적으로 마스크하는 신호인 DQM_DQ를 입력받아 제 15, 제 16 인버터(90,92)를 거쳐 외부에 그 출력 값인 제 1 SDO 인에이블 신호를 출력하는 제 7 NOR 게이트(91)로 구성된다.

상기와 같이 구성된 본 발명의 실시 예에 따른 DDR SDRAM의 동작을 설명하면 다음과 같다.

본 발명에서는 여러 레이턴시 모드를 지원하기 위해서 데이터 밴드폭을 2배로 하기 위해 각 메모리 셀 어레이에 짝수 메모리 셀 영역을 갖는 시스템 동작 주파수의 2배로 읽기 동작을 가능하게 하는 DDR SDRAM의 레이턴시 제어 기술이다.

외부로부터 읽기 명령에 입력되는 어드레스는 상기 할당 어드레스 경로를 거쳐 상기 메모리 셀 어레이

특 2000-0043978

부(31)에 입력된다.

이때, 상기 메모리 셀 어레이 부(31)의 상기 비트 라인 센스 앰프(39)가 상기 작수/증수 메모리 셀 어레이(38)에서 각각 저장된 데이터들 읽고 상기 읽힘 디코디드 어드레스에 의해 SIO를 통해 그 데이터를 상기 메인 센스 앰프(40)로 출력한다.

이때, 각 경로에서는 미리 정해진 버스트 길이의 절반에 해당하는 데이터가 읽힘 선택 신호에 따라 연속적으로 전달된다. 만약 버스트 길이가 4이면 읽힘 선택 신호는 두 번 뜨게 되고, 하나의 작수 및 증수 SIO에는 각각 데이터가 연속적으로 입력된다.

그리고, 상기 메인 센스 앰프(40)는 상기 SIO의 데이터를 상기 DB 제어 부(34)의 메인 앰프 인에이블 신호를 입력받아 FRDB를 통해 상기 DB 제어 부(34)와 FRDB 래치(41)로 출력한다.

여기서, 메인 앰프 인에이블 신호는 상기 비트 라인 센스 앰프(39)와 메모리에서의 데이터 지연시간을 고려하여 읽힘 선택 신호를 지연시키므로 발생된다. 또한 상기 DB 제어 부(31)는 FRDB를 한 비트씩을 받아 FRDB가 프리차지되었을 때만 메인 앰프 인에이블 신호를 발생시킨다.

이때, 상기 FRDB 래치(41)는 상기 FRDB의 데이터를 상기 DB 제어 부(34)의 FRDB 스트로브 신호를 입력받아 SRDB를 통해 상기 DB 제어 부(34)와 SRDB 래치/믹스(42)에 출력하며 상기 DB 제어 부(34)는 한 비트씩 SRDB의 데이터를 입력받아 SRDB가 프리차지되면 FRDB 스트로브 신호를 발생시킨다.

여기서, 상기 FRDB 래치(41)는 상기 DB 제어 부(34)로부터 FRDB 스트로브 신호를 받을 때만 데이터를 전달하고, 이외에는 전 상태의 데이터를 저장한다.

그리고, 상기 SRDB 래치/믹스(42)는 상기 SRDB의 데이터인 작수/증수 두경로의 데이터를 상기 DB 제어 부(34)의 SRDB 스트로브 신호와 상기 FIFO부(35)의 작수/증수 신호를 입력받아 하나와 데이터 끝표인 SDO를 통해 상기 SDO 래치(43)에 출력한다.

여기서, 상기 SRDB 믹스가 데이터 전달 순서 조절 신호인 상기 FIFO부(35)의 작수/증수 신호를 입력받아 작수/증수 순서를 정해 출력시키며, 첫 번째 SRDB 스트로브 신호는 정상적인 데이터 전달에 의해 발생하고 이후의 SRDB 스트로브 신호는 상기 레이턴시 타이프라인 제어 부(36)의 제 1, 제 2 SDO 인에이블 신호가 액티브된 후에 발생된다.

즉, 데이터 경로상의 각 단계에서의 첫번째 데이터들은 미리 정해진 레이턴시에 따라 저장되어 있다가, 상기 제 1, 제 2 SDO 인에이블 신호가 액티브 되면 각 단계의 상호 동작에 의해 전달 되게 된다.

상기 레이턴시 타이프라인 제어 부(36)에서 제 1, 제 2 SDO 인에이블 신호를 발생시키는데, CL2.5 또는 CL3.5, CL4.5와 같이 외부 클럭의 하강 에지에 데이터가 동기되는 모드가 존재하기 때문에 상기 클럭 발생 부(33)가 외부 클럭 주파수의 2배인 QCLK을 발생시키고, 그 QCLK으로 상기 레이턴시 타이프라인 제어 부(36)에서 제 1, 제 2 SDO 인에이블 신호를 발생시킨다.

우선 버스트 길이에 따라 상기 제 1, 제 2 SDO 인에이블 구간 폭이 다르게 되도록 버스트 길이에 대한 정보를 갖는 읽기 신호를 상기 QCLK 동기 부(53)에서 상기 QCLK에 동기 시킨다.

여기서, 외부 클럭이 입력되면 및 구동 드라이버를 거쳐 지연된 상기 QCLK에 의해 상기 읽기 신호가 발생되는데, 읽힘 액세스 명령을 받아 액티브되고 상기 QCLK에 동기 되어 디스에이블(Disable)된다.

상기 QCLK과 QCLK의 위상을 요구되는 데이터 액세스 시간에 따라 변할 수 있으며, 또 주파수에 따라서 차이가 생길 수 있다. 이런 경우 QCLK만으로 읽기 신호를 타이프라인하게 되면 제 1, 제 2 SDO 인에이블 구간이 변할 수 있게된다. 이를 피하기 위해 도 4와 같이 QCLK에 다시 한번 동기 시키도록 하고, QCLK으로 트리거 되는 트로글(Toggle) 출력펄스의 클럭에 의해 스로워되는 상기 카운터 부(54)를 구성하였다.

상기 카운터 부(54)에서 정해진 구간 폭은 타이프라인을 거치면서 그대로 유지된다.

상기 타이프라인은 레이턴시 모드에 따라 시작 단계가 결정된다. 만약 CL3이면 3개의 클럭펄스를 지나게 된다.

그리고, SDRAM은 읽기 동작 중에 쓰기 명령이나, 프리차지 명령에 의해 읽기 명령을 즉시 중단해야 하는데, 이를 위해 데이터 드라이버 및 클럭 버퍼를 동작 시키지 않아야 한다. 이것을 제 1, 제 2 SDO 인에이블 신호를 디스에이블 함으로써 가능하게 되는데, 상기 레이턴시 타이프라인 제어 부(36)에 리셋 부(55)와 리셋 경로를 두어 상기 카운터 부(54) 및 피이프 부(56)의 클럭펄스를 동시에 리셋시켜 제 1, 제 2 SDO 인에이블 신호를 리셋 시킨다.

본 발명의 실시 예에 따른 DDR SDRAM에서 버스트 길이가 2일때의 CL2, CL2.5, CL3 각각의 읽기 동작, 버스트 길이가 4일때의 CL2, CL2.5, CL3 각각의 읽기 동작과, 버스트 길이가 8일때의 CL2, CL2.5, CL3 각각의 읽기 동작 그리고 CL2, CL2.5, CL3 각각의 읽기 동작이 쓰기 명령으로 중단 될 때와 CL2, CL2.5, CL3 각각의 읽기 동작이 프리차지 명령으로 중단 될 때의 각각의 펄스도 도 5 내지 도 9에서 나타난다.

여기서, 도 5 내지 도 7의 노드(Node) 106은 도 4에서 상기 제 2 NAND 게이트(64)와 제 7 커패시터(73)의 연결라인에 위치하고, 도 8과 도 9에서 A는 버스트 길이가 8일 때이고 B는 버스트 길이가 4일 때이며 C는 버스트 길이가 2일 때이다.

이때, 상기 SRDB 래치는 상기 DB 제어부(34)로부터 SRDB 스트로브 신호를 받을 때만 데이터를 전달하고, 이외에는 전 상태의 데이터를 저장한다.

그리고, 상기 SDO 래치(43)는 데이터 패드 쪽에 각각 있는 것으로 상기 DB 제어 부(34)의 SDO 펄스도와 상기 레이턴시 타이프라인 제어 부(36)의 제 1 SDO 인에이블 신호 그리고 상기 클럭 발생 부(33)의 QCLK를 입력받아 제 1 SDO 인에이블 신호가 액티브 되었을 때 SDO 신호가 상기 QCLK을 트리거 펄스로 하는 클럭펄스의 입력으로 인가되어 데이터 드라이버 구동 신호를 발생시킨다.

특 2000-0043978

ANDS 푸시 및 펄스의 출력 버퍼에서 데이터 드라이버 신호를 받아 페드로 데이터를 전달하게 된다.

회로의 동작

본 발명의 반도체 메모리인 데이터 밴드폭을 2배로 하는 DDR SDRAM은 버스트 길이에 관한 정보를 갖는 읽기 신호를 입력받아 QCLK에 동기시키는 QCLK동기부와 제 1, 제 2 SDO 인에이블 신호 구간 폭을 정하는 카운터 부를 포함한 레이턴시 타이프라인 제어 부를 포함하여 구성되므로, 주파수가 변하더라도 조립 신호의 추가 없이 원하는 레이턴시 모드로 정확히 동작하도록 하여 사용 주파수에 따라 회로를 재구성해야 하는 번거로움이 없고, 4배 혹은 8배의 데이터 밴드 폭을 가지는 하이 데이터 레이트 메모리에 쉽게 적용할 수 있으며 SDRAM뿐 아니라 플럭스에 동기 되는 모든 메모리에 확장할 수 있다는 효과가 있다.

[57] 청구의 범위

청구항 1. 복수개의 메모리 셀 영역을 갖고 외부 입력 데이터를 저장하고 그 저장된 데이터를 디코딩된 할당 어드레스에 의해 두 개의 라인으로 출력하는 메모리 셀 어레이;

상기 두 개의 라인을 통하여 입력받은 메모리 셀 어레이의 데이터를 내부 클럭의 에지에 동기시켜 하나의 라인을 통해 외부로 전송하는 데이터 경로 부;

상기 데이터 경로 부 전체를 제어하는 제어 부;

상기 데이터 경로 부의 입력인 두 개의 데이터의 출력순서를 제어하는 FIFO부;

상기 제어 부와 데이터 경로 부에 데이터 출력 인에이블 구간을 정하기 위한 SDO 인에이블 신호를 출력하는 레이턴시 타이프라인 제어 부;

상기 FIFO부, 데이터 경로 부와, 레이턴시 타이프라인 제어 부에 원하는 데이터 밴드폭을 얻기 위한 상기 내부 클럭을 출력하는 클럭 발생 부;

상기 FIFO부와 레이턴시 타이프라인 제어 부에 버스트 길이에 대한 정보를 갖는 읽기 신호를 출력하는 버스트 카운터를 포함하여 구성됨을 특징으로 하는 반도체 메모리.

청구항 2. 상기 제 1 항에 있어서,

상기 레이턴시 타이프라인 제어 부는 버스트 길이에 관한 정보를 갖는 읽기 신호를 입력받아 상기 QCLK에 동기시키는 QCLK동기부, 상기 SDO 래치에서의 SDO 인에이블 신호 구간 폭을 정하는 카운터 부, 상기 SDO 인에이블 신호를 읽기 명령 수행 중에 쓰기 명령이나 프리차이지 명령으로 읽기 동작이 중단될 때 디스에이블하기 위한 리셋 부와, 레이턴시 모드 신호를 받아 정해진 모드에 따라 상기 SDO 인에이블 신호의 시작을 결정하는 타이프라인 부를 포함하여 구성됨을 특징으로 하는 반도체 메모리.

청구항 3. 상기 제 2 항에 있어서,

상기 QCLK동기 부는 읽기 신호, 내부전원 정상신호인 PWRCK와, QCLK을 입력받는 제 3 플립플롭과 상기 읽기 신호와 제 3 플립플롭의 출력을 입력받는 제 2 NOR 게이트로 구성됨을 특징으로 하는 반도체 메모리.

청구항 4. 상기 제 2 항 또는 제 3 항에 있어서,

상기 카운터 부는 제 4, 제 5 플립플롭, 제 3 NOR 게이트와, 제 2, 제 3 NAND 게이트로 구성되는데, 제 3 인버터에 의해 반전된 상기 제 2 NOR 게이트의 출력, QCLK과, 제 5 인버터에 의해 반전된 상기 제 3 NAND 게이트의 출력을 입력받는 제 4 플립플롭, 상기 제 3 인버터에 의해 반전된 상기 제 2 NOR 게이트의 출력과 상기 제 4 플립플롭의 출력을 입력받는 제 3 NOR 게이트, 상기 QCLK, 제 5 인버터에 의해 반전된 제 3 NAND 게이트의 출력과, 제 6 인버터에 의해 반전된 상기 제 2 NAND 게이트의 출력을 입력받는 제 5 플립플롭, 상기 제 3 NOR 게이트의 출력과 제 4 인버터에 의해 반전된 상기 제 5 플립플롭의 출력을 입력받는 제 2 NAND 게이트와, 상기 제 2 NAND 게이트의 출력과 상기 PWRCK를 입력받는 제 3 NAND 게이트로 구성됨을 특징으로 하는 반도체 메모리.

청구항 5. 제 2 항에 있어서,

상기 리셋 부는 프리차이지 신호인 PREBSC와 쓰기 신호인 WRITEL을 입력받는 제 4 NOR 게이트, 상기 제 4 NOR 게이트의 출력과 QCLK을 입력받는 제 6 플립플롭과, 상기 PWRCK와 제 7 인버터에 의해 반전된 상기 WRITEL을 입력받는 제 4 NAND 게이트로 구성됨을 특징으로 하는 반도체 메모리.

청구항 6. 제 2 항 또는 제 4 항 또는 제 5 항에 있어서,

상기 타이프라인 부는 상기 QCLK과 제 2 NAND 게이트의 출력 그리고 제 8 인버터에 의해 반전된 상기 제 4 NAND 게이트의 출력을 입력받는 제 7 플립플롭, 상기 제 7 플립플롭의 출력과 CL3을 입력받는 제 5 NAND 게이트, 상기 QCLK과 PWRCK 및 제 9 인버터에 의해 반전된 상기 제 5 NAND 게이트의 출력을 입력받는 제 8 플립플롭, 상기 제 7 플립플롭의 출력과 CL2.5를 입력받는 제 1 AND 게이트, 상기 제 1 AND 게이트의 출력과 상기 제 8 플립플롭의 출력을 입력받는 제 5 NOR 게이트, 상기 QCLK과 WRITEL 그리고 제 10 인버터에 의해 반전된 상기 제 5 NOR 게이트의 출력을 입력받는 제 9 플립플롭, 상기 제 7 플립플롭의 출력과 CL2를 입력받는 제 2 AND 게이트, 상기 제 2 AND 게이트의 출력과 상기 제 9 플립플롭의 출력을 입력받는 제 6 NOR 게이트, 상기 QCLK과 WRITEL 및 제 11 인버터에 의해 반전된 상기 제 6 NOR 게이트의 출력을 입력받는 제 10 플립플롭, 상기 제 10 플립플롭의 출력과 제 12 인버터에 의해 반전된 읽기 신호를 입력받는 제 3 AND 게이트와, 상기 제 3 AND 게이트의 출력과 사용자가 원하는 데이터를 선택적으로 마스크하는 신호인 QM_MASK를 입력받아 제 15, 제 16 인버터를 거쳐 외부에 그 출력 값인 제 1 SDO 인에이블 신호를 출력하는 제 7 NOR 게이트로 구성됨을 특징으로 하는 반도체 메모리.

특 2000-0043978

참구항 7. 복수개의 메모리 셀 영역을 갖고, 외부 입력 데이터를 저장하고 그 저장된 데이터를 디코더된 할당 어드레스에 의해 두 개의 라인으로 출력하는 메모리 셀 어레이;

데이터 경로 전체를 제어하는 제어 부;

상기 메모리 셀 어레이의 출력을 증폭함과 동시에 상기 제어 부의 메인 오프 인에이블 신호에 의해 두 개의 FRDB로 전달하는 다수개의 메인 센스 앰프;

상기 메인 센스 앰프의 출력을 저장하고 상기 제어 부의 FRDB 스트로브 신호를 입력받을 때만 저장한 데이터를 두 개의 SRDB로 전달하며 데이터 패드와 동일한 개수로 형성되는 FRDB 래치들;

상기 각 FRDB 래치의 출력을 저장하고 상기 제어부의 SRDB 스트로브 신호를 입력받을 때만 저장한 데이터를 출력하는 SRDB 래치들;

상기 각 SRDB 래치의 출력인 두 개의 데이터 출력순서를 제어하는 FIFO부;

상기 FIFO부에 의해 상기 각 SRDB 래치의 출력을 상기 하나의 SDO로 전달하는 SRDB 믹스들;

상기 각 SRDB 믹스의 출력과 상기 제어부의 SDO 밸리드 신호를 입력받아 상기 각 SRDB 믹스의 출력을 저장하고 하이/로우 액티브 신호를 출력하는 SDO 래치들;

상기 각 SDO 래치의 하이/로우 액티브 신호를 입력받아 출력 데이터를 내부 클럭의 에지에 동기되어 출력시키는 출력 드라이브/출력 버퍼들;

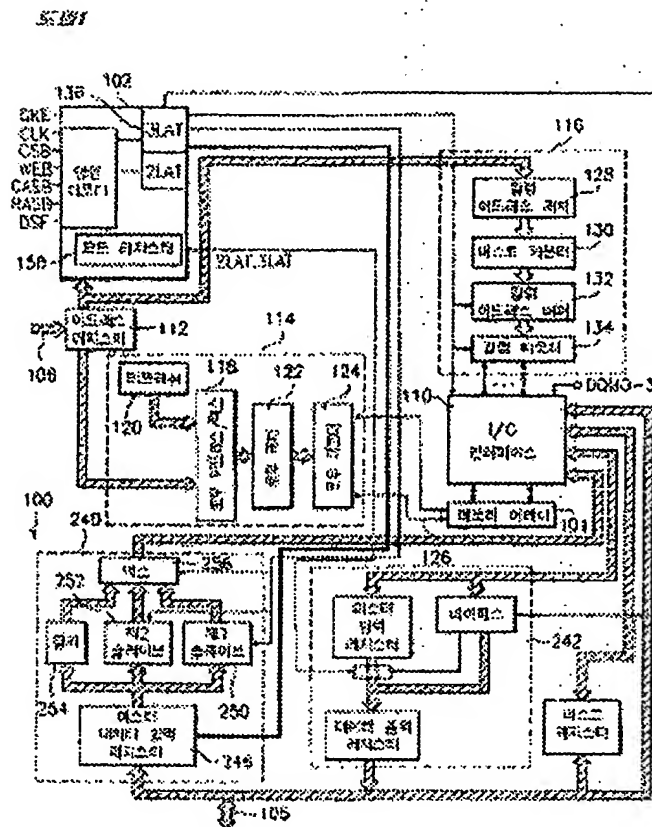
상기 제어 부와 SDO 래치들에 데이터 출력 인에이블 구간을 정하는 SDO 인에이블 신호를 출력하는 레이턴시 타이프라인 제어 부;

상기 FIFO부, SDO 래치들, 출력 드라이브/출력 버퍼들과, 레이턴시 타이프라인 제어 부에 원하는 데이터 밴드폭을 얻기 위한 내부 클럭을 출력하는 클럭 발생부;

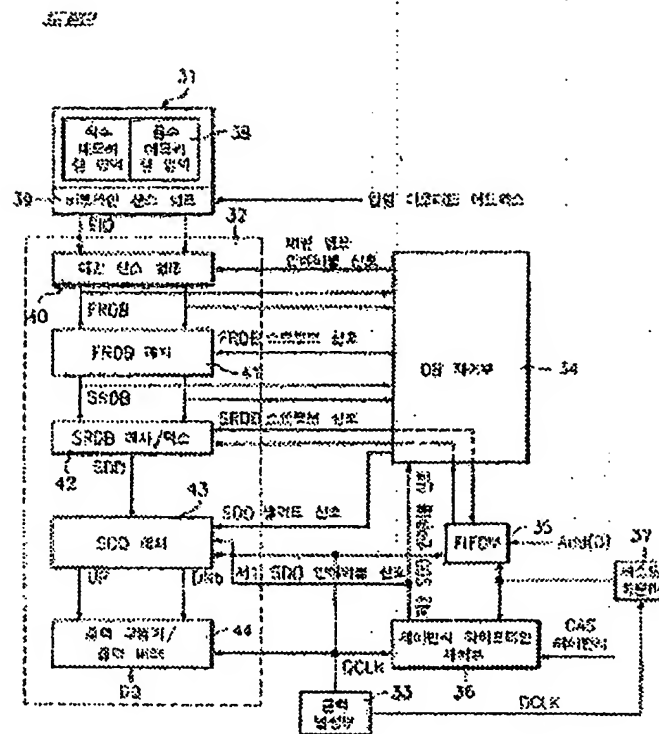
상기 FIFO부와 레이턴시 타이프라인 제어 부에 버스트 길이에 대한 정보를 갖는 읽기 신호를 출력하는 버스트 카운터를 포함하며 구성됨을 특징으로 하는 반도체 메모리.

도 1

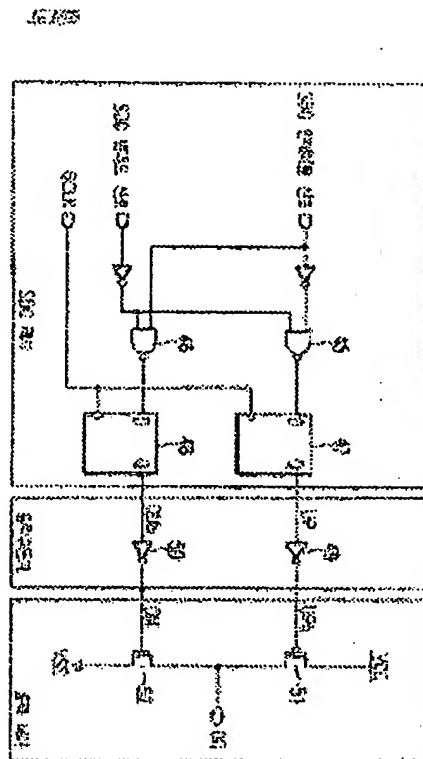
국 2000-0043878



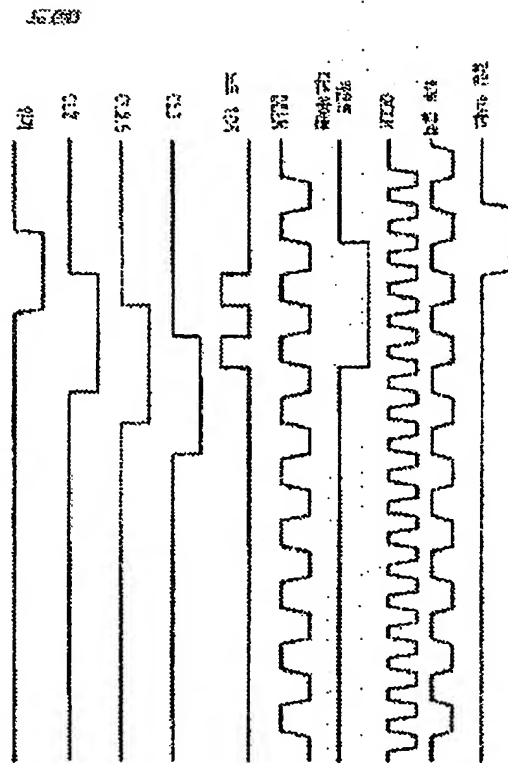
2000-004978



2000-0043978

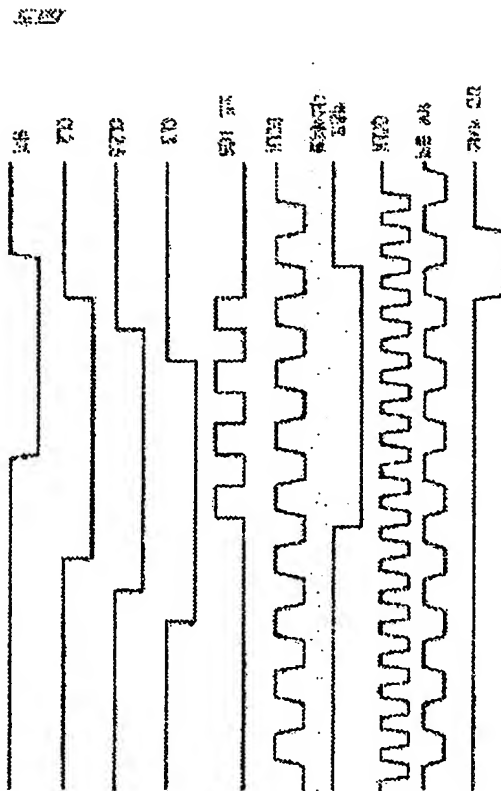


2000-0015978



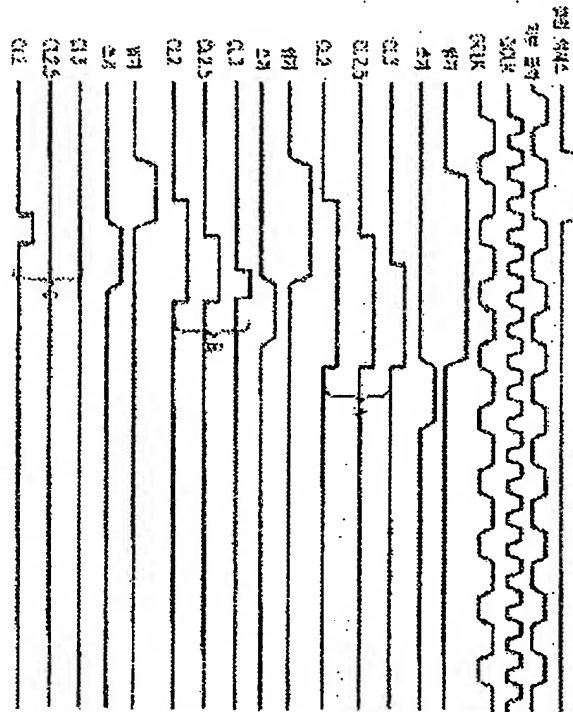
16-13

2000-0043978



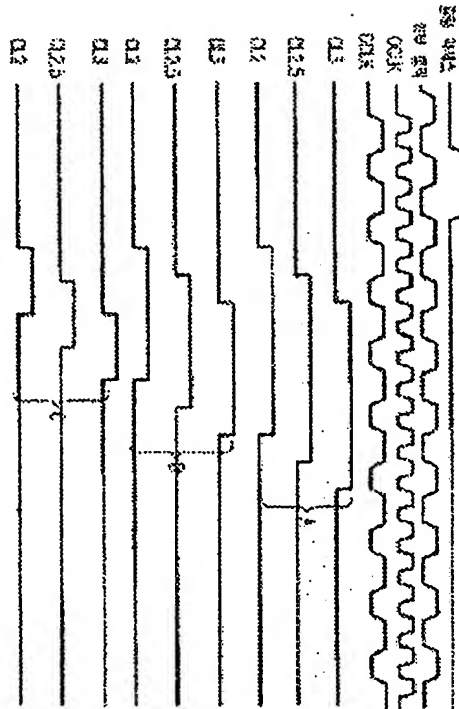
2000-0043978

16-15



2000-0043978

11:28



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.